

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-237239

(43) 公開日 平成8年(1996)9月13日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/033			H 0 4 L 7/02	B
H 0 3 L 7/00			H 0 3 L 7/00	B
H 0 4 L 25/40		9199-5K	H 0 4 L 25/40	D

審査請求 有 請求項の数22 O L (全 25 頁)

(21) 出願番号 特願平7-282034  
 (62) 分割の表示 特願平1-141016の分割  
 (22) 出願日 平成1年(1989)6月5日

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地  
 (72) 発明者 加沢 徹  
 東京都国分寺市東恋ヶ窪1丁目280番地株  
 式会社日立製作所中央研究所内  
 (72) 発明者 宮本 宜則  
 東京都国分寺市東恋ヶ窪1丁目280番地株  
 式会社日立製作所中央研究所内  
 (72) 発明者 鈴木 俊郎  
 東京都国分寺市東恋ヶ窪1丁目280番地株  
 式会社日立製作所中央研究所内  
 (74) 代理人 弁理士 小川 勝男

最終頁に続く

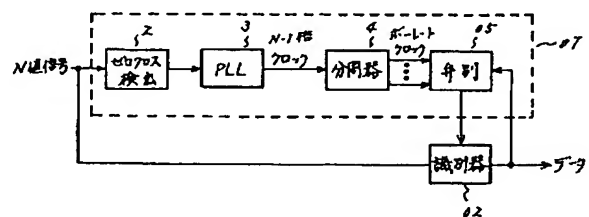
(54) 【発明の名称】 タイミング抽出回路、それを利用した通信システム及びタイミング抽出方法並びに通信装置

## (57) 【要約】

【目的】 多値伝送符号を適用した時に正しいクロックが抽出でき、且つ、数メガビット・パー・セカンド以上の高速伝送にも適用でき、実現回路のLSI化に適したタイミング抽出方式を提供することである。

【構成】 所定のボーレートを持ち、かつ、該ボーレートの整数倍の周波数タイミングで基準レベルとのクロスタイミングが発生する多値信号から該ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るためのタイミング抽出方法において、上記多値信号と所定のしきい値とのクロスタイミングを検出し、前記多値信号から生成された微分信号が所定のしきい値領域外のときに制御信号を生成し、前記クロスタイミングと上記制御信号との演算結果をもちいて、前記データ識別点に同期したボーレートクロックの生成し、上記ボーレートクロックを用いて、上記多値信号から識別データを抽出するようにしたことを特徴とするタイミング抽出方法。

図 1



1

## 【特許請求の範囲】

【請求項1】所定のボーレートで送出され、該ボーレートの整数倍の周波数タイミングに基準レベルとのクロスタイミングが発生する多値信号から該ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るためのタイミング抽出回路において、上記多値信号と所定のしきい値とのクロスタイミングを検出するための検出器と、上記多値信号から識別データを出力するための識別手段と、前記多値信号から前記微分信号を生成するための微分回路と、上記微分信号が所定のしきい値領域外のときに制御信号を生成する手段と、前記検出器から出力されるクロスタイミングと上記制御信号との演算結果を前記同期制御回路に入力するゲート回路とから構成され、上記多値信号の微分信号に応じて生成した制御信号と上記クロスタイミングとに応じた信号を出力する判定回路と、上記判定回路からの出力信号に応じて、所定の初期位相をもつボーレートクロックの位相制御をおこない、上記識別手段に供給するボーレートクロックを生成するための同期制御回路とから構成されることを特徴とするタイミング抽出回路。

【請求項2】所定のボーレートで送出され、該ボーレートの整数倍の周波数タイミングに基準レベルとのクロスタイミングが発生する多値信号から該ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るためのタイミング抽出回路において、上記多値信号と所定のしきい値との第1クロスタイミングを検出するための第1検出手段と、上記第1検出手段にスイッチ手段を介して接続され、上記第1検出手段からの出力に同期して、上記ボーレートクロックを出力するための同期制御手段と、上記ボーレートクロックを用いて上記多値信号から識別データを抽出するための識別手段と、上記多値信号に所定処理を行うことによって生成される制御信号に応じて上記スイッチ手段の切替え制御をおこなうための位相制御手段とから構成されることを特徴とするタイミング抽出回路。

【請求項3】前記位相制御手段が、前記多値信号を第1のしきい値を用いて全波整流するための整流手段と、該整流手段からの出力と第2のしきい値との第2クロスタイミングを検出する第2検出手段と、上記第2クロスタイミングに応じて、前記スイッチ手段を切替えるスイッチ制御手段とから構成されることを特徴とする請求項第2項記載のタイミング抽出回路。

【請求項4】所定のボーレートで送出され、該ボーレートの整数倍の周波数タイミングに基準レベルとのクロスタイミングが発生する多値信号であって、所定の同期バタンとデータとを含む伝送フレーム単位で送出される多値信号から該ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るためのタイミング抽出回路において、

上記多値信号と所定のしきい値とのクロスタイミングを

2

検出するための検出手段と、該検出手段にスイッチ手段を介して接続され、上記検出手段からの出力に同期して、第1ボーレートクロックを出力するための同期制御手段と、上記多値信号から識別データを抽出するための識別手段と、上記第1ボーレートクロックと位相の異なる少なくとも1つの第2ボーレートクロックを生成し、上記識別データから抽出されるフレーム同期バタンに応じて、上記識別手段に供給するボーレートクロックを選択し、選択された上記第1または第2のボーレートクロックを用いて上記スイッチ手段の切替え制御をおこなうための選択手段とから構成されたことを特徴とするタイミング抽出回路。

【請求項5】前記選択手段が、前記第1ボーレートクロックと位相が異なる前記第2のボーレートクロックを生成するための手段と、上記第1ボーレートクロックと上記第2のボーレートクロックとを選択的に出力するセレクト手段と、前記識別手段から出力される識別データのフレーム同期バタンと所定の同期バタンとが異なる場合に、上記セレクトを切替え制御する判定手段と、上記選択手段からの出力に応じて、上記検出手段の出力を前記同期制御手段に入力する切替え手段とを備えたことを特徴とする請求項第4項記載のタイミング抽出回路。

【請求項6】前記タイミング抽出回路が、データ識別に用いる所定のボーレートの整数倍周期のクロスタイミングをもつ多値信号を送信するための送信回路と同一半導体基板上に形成されたことを特徴とする請求項第5項記載のタイミング抽出回路。

【請求項7】送信装置と受信装置が通信回線を介して接続され、該送信装置が、データを所定のボーレートで、かつ、該ボーレートの整数部の周波数タイミングで基準レベルとのクロスタイミングが発生する多値信号として送信し、上記受信装置が上記多値信号から上記ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るようにした通信システムにおいて、

上記受信装置が、上記多値信号と所定のしきい値とのクロスタイミングを検出するための検出器と、上記多値信号から識別データを出力するための識別手段と、前記多値信号から前記微分信号を生成するための微分回路と、上記微分信号が所定のしきい値領域外のときに制御信号を生成する手段と、前記検出器から出力されるクロスタイミングと上記制御信号との演算結果を前記同期制御回路に入力するゲート回路とから構成され、上記多値信号の微分信号に応じて生成した制御信号と上記クロスタイミングとに応じた信号を出力する判定回路と、上記判定回路からの出力信号に応じて、所定の初期位相をもつボーレートクロックの位相制御をおこない、上記識別手段に供給するボーレートクロックを生成するための同期制御回路とから構成されることを特徴とする通信システム。

【請求項 8】送信装置と受信装置が通信回線を介して接続され、該送信装置が、データを所定のボーレートで、かつ、該ボーレートの整数倍の周波数タイミングで基準レベルとのクロスタイミングが発生する多値信号として送信し、上記受信装置が上記多値信号から上記ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るようにした通信システムにおいて、

上記受信装置が、上記多値信号と所定のしきい値との第 1 クロスタイミングを検出し、出力するための第 1 検出手段と、上記第 1 検出手段にスイッチ手段を介して接続され、上記第 1 検出手段からの出力に同期して、上記ボーレートクロックを出力するための同期制御手段と、上記ボーレートクロックを用いて上記多値信号から識別データを抽出するための識別手段と、上記多値信号に所定処理を行うことによって生成される制御信号に応じて上記スイッチ手段の切替え制御をおこなうための位相制御手段とから構成されることを特徴とする通信システム。

【請求項 9】前記位相制御手段が、前記多値信号を第 1 のしきい値を用いて全波整流するための整流手段と、該整流手段からの出力と第 2 のしきい値との第 2 クロスタイミングを検出する第 2 検出手段と、上記第 2 クロスタイミングに応じて、前記スイッチ手段を切替えるスイッチ制御手段とから構成されることを特徴とする請求項第 8 項記載の通信システム。

【請求項 10】送信装置と受信装置が通信回線を介して接続され、該送信装置が、データを所定のボーレートで、かつ、該ボーレートの整数倍の周波数タイミングで基準レベルとのクロスタイミングが発生する多値信号として、所定の同期パターンと上記データとを含む伝送フレーム単位で送信し、上記受信装置が上記多値信号から上記ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るようにした通信システムにおいて、

上記受信装置が、上記多値信号と所定のしきい値とのクロスタイミングを検出するための検出手段と、該検出手段にスイッチ手段を介して接続され、上記検出手段からの出力に同期して、第 1 ボーレートクロックを出力するための同期制御手段と、上記多値信号から識別データを抽出するための識別手段と、上記第 1 ボーレートクロックと位相の異なる少なくとも 1 つの第 2 ボーレートクロックを生成し、上記識別データから抽出されるフレーム同期パターンに応じて、上記識別手段に供給するボーレートクロックを選択し、選択された上記第 1 または第 2 のボーレートクロックを用いて上記スイッチ手段の切替え制御をおこなうための選択手段とを備えたことを特徴とする通信システム。

【請求項 11】前記選択手段が、前記第 1 ボーレートクロックと位相が異なる前記第 2 のボーレートクロックを生成するための手段と、上記第 1 ボーレートクロックと

上記第 2 のボーレートクロックとを選択的に出力するセレクト手段と、前記識別手段から出力される識別データのフレーム同期パターンと所定の同期パターンとが異なる場合に、上記セレクトを切替え制御する判定手段と、上記選択手段からの出力に応じて、上記検出手段の出力を前記同期制御手段に入力する切替え手段とを備えたことを特徴とする請求項第 10 項記載の通信システム。

【請求項 12】所定のボーレートを持ち、かつ、該ボーレートの整数倍の周波数タイミングで基準レベルとのクロスタイミングが発生する多値信号から該ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るためのタイミング抽出方法において、

上記多値信号と所定のしきい値とのクロスタイミングを検出し、前記多値信号から生成された微分信号が所定のしきい値領域外のときに制御信号を生成し、前記クロスタイミングと上記制御信号との演算結果をもちいて、前記データ識別点に同期したボーレートクロックの生成し、上記ボーレートクロックを用いて、上記多値信号から識別データを抽出するようにしたことを特徴とするタイミング抽出方法。

【請求項 13】所定のボーレートを持ち、かつ、該ボーレートの整数倍の周波数タイミングで基準レベルとのクロスタイミングが発生する多値信号から該ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るためのタイミング抽出方法において、上記多値信号と所定のしきい値との第 1 クロスタイミングを検出し、該第 1 クロスタイミングを選択的に出力するスイッチ手段を介して入力された信号に同期して、上記ボーレートクロックを出力し、上記多値信号に所定処理を行うことによって生成される制御信号に応じて上記スイッチ手段の切替え制御をおこない、上記ボーレートクロックを用いて上記多値信号から識別データを抽出するようにしたことを特徴とするタイミング抽出方法。

【請求項 14】前記制御信号は、前記多値信号を第 1 のしきい値を用いて全波整流し、全波整流された信号と第 2 のしきい値との第 2 クロスタイミングを検出することによって生成することを特徴とする請求項第 13 項記載のタイミング抽出方法。

【請求項 15】所定のボーレートを持ち、かつ、該ボーレートの整数倍の周波数タイミングで基準レベルとのクロスタイミングが発生する多値信号であって、所定の同期パターンとデータとを含む伝送フレーム単位で送出される多値信号から該ボーレートのクロックを抽出し、該クロックに応じて上記多値信号から識別データを得るためのタイミング抽出方法において、上記多値信号と所定のしきい値とのクロスタイミングを検出し、該第 1 クロスタイミングを選択的に出力するスイッチ手段を介して入力された出力信号に同期して、第 1 のボーレートクロックを出力し、上記第 1 ボーレートクロックと位相の異なる

少なくとも1つの第2ボーレートクロックを生成し、上記第1あるいは第2ボーレートクロックを用いて、上記多値信号から識別された初期の識別データを抽出し、上記識別データから抽出されるフレーム同期パタンに応じて、データ識別点に同期した上記第1あるいは第2ボーレートクロックを選択し、選択されたボーレートクロックを用いて上記スイッチ手段の切替え制御をおこなうようにしたことを特徴とするタイミング抽出方法。

【請求項16】前記データ識別点に同期した上記第1あるいは第2ボーレートクロックの選択は、前記第1ボーレートクロックと位相が異なる前記第2のボーレートクロックを生成し、前記初期の識別データから抽出されるフレーム同期パタンと所定の同期パタンとが異なる場合に、上記第1ボーレートクロックと上記第2のボーレートクロックとを選択的に出力するセレクタを切替え制御をすることによっておこなうことを特徴とする請求項第15項記載のタイミング抽出方法。

【請求項17】所定のボーレートで符号化された信号であって、かつ、上記ボーレートから外れたタイミングで基準しきいとのクロスが生じる信号を受信する通信装置であって、上記受信信号と所定の第1しきい電圧との第1クロスタイミングを検出するための検出手段と、上記受信信号に所定の信号処理をすることによって得られる制御信号と上記第1クロスタイミングとを用いて、上記クロスタイミングの一部に同期した上記ボーレートのクロックを生成し、該ボーレートのクロックに同期したタイミングで、上記受信信号の状態値を識別するための信号識別手段とから構成することを特徴とする通信装置。

【請求項18】前記信号識別手段は、前記受信信号の微分信号から制御信号を生成するための制御信号生成手段と、上記制御信号と前記第1クロスタイミングとに応じて、上記受信信号の状態値を識別するためのクロックであって、上記ボーレートのクロックを生成するためのクロック生成手段と、生成された上記ボーレートのクロックに同期したタイミングで、上記受信信号の状態値を識別するための識別部とから構成されることを特徴とする請求項第17項記載の通信装置。

【請求項19】前記信号識別手段は、所定の第2しきい電圧を基準として、前記受信信号を全波整流するための整流手段と、該整流手段からの出力信号と所定の第3のしきい電圧との第2クロスタイミングを検出するための第2検出手段と、上記第2クロスタイミングに応じて、前記第1クロスタイミングの一部に同期した上記ボーレートのクロックを生成するためのクロック生成手段と、上記ボーレートのクロックに同期したタイミングで、上記受信信号から状態値を識別するための識別部とから構成されることを特徴とする請求項第17項記載の通信装置。

【請求項20】所定のボーレートで、パルシャルレスボンスクラス4符号化された信号を受信するための通信回

路であって、受信信号と所定のしきい電圧とのクロスタイミングを検出するための検出手段と、該クロスタイミングに一致し、かつ、上記ボーレートの2倍の周波数タイミングで受信信号の状態値を識別するための第1の信号識別手段と、上記第1の信号識別手段の出力から1ビット置きに抽出される2列の状態値の内容に応じて、上記クロスタイミングの一部に同期した上記ボーレートのクロックを生成するためのクロック生成手段と、上記クロック生成手段で生成された上記ボーレートのクロックを用いて、上記第1の信号識別手段の出力から上記受信信号の状態値を識別するための第2の信号識別手段とを備えたことを特徴とする通信装置。

【請求項21】前記クロック生成手段は、前記クロスタイミングに一致し、かつ、前記ボーレートの2倍の周波数タイミングに同期したクロックを生成する同期制御手段と、該クロックを分周することによって得られるクロックであって、互いに位相の異なる上記ボーレートの第1、第2のクロックから第1のクロックを選択するための選択手段と、前記第1の信号識別手段の出力から1ビット置きに抽出される2列の状態値の内容に応じて、前記第2の信号識別手段に供給するための上記第1または第2のクロックを選択するように上記選択手段を制御する制御手段とを備えたことを特徴とする請求項第20項記載の通信装置。

【請求項22】前記制御手段は、前期第1の信号識別手段の出力から1ビット置きに抽出された2列の各状態値の連続した2ビットに、「1、-1」、あるいは「-1、1」が含まれない状態値を抽出したタイミングに同期する第1または第2のクロックを選択するように前記選択手段を制御することを特徴とする請求項第21項記載の通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はディジタル通信システムに関し、特に電話線を伝送媒体として、交換機と端末の間で数メガビット・パー・セカンド以上の高速伝送を行うのに適した通信システムに関する。

【0002】

【従来の技術】ディジタル通信システムでは、受信波形をある基準クロックに同期して識別することにより受信データを得ている。このためには、受信波形から基準クロックを生成する技術、即ちタイミング信号の抽出方式が重要となる。電話線を用いた数メガビット・パー・セカンド以上の高速ディジタル伝送システムにおいては、電話線での信号損失が増え、またクロストーク雑音も増加するため、周波数帯域の狭い多値伝送符号を用いることが望ましい。このような条件下でのタイミング抽出としては、従来、例えばLCタンク回路を用いる方法が知られている。例えば、パルシャルレスボンスクラス4符号（以後、単にPR4符号と略す）で、必要なクロッ

クを抽出するためには、受信信号を4乗してLCタンク回路に入力する。

【0003】一方、低速のデジタル伝送においては、A/D変換器で受信波形をデジタルデータ化し、相関演算を施してを抽出する方法が知られている。

【0004】また、高速伝送に適用可能で、比較的簡単なハードウェアで実現できる方法として、ゼロクロス検出法が知られている。例えば、アイ・イー・イー・イー、エヌ・ティー・シー1980 65. 4 (IEEE NTC 1980, 65. 4) には、しきい値が0ボルトの識別器でゼロクロス点のタイミングを検出し、この信号をフェーズ・ロック・ループ(PLLと略す)の入力としてタイミングクロックを抽出する方法が開示されている。この方法は2値符号のデータ伝送に広く適用されている。

【0005】また、3個AMI符号に適用するために全波整流を行ってからPLLを用いる方法も提案されている。この方法は電子情報通信学会通信方式研究会報告CS81-187に示されている。

【0006】

【発明が解決しようとする課題】上記従来技術のうち、LCタンク回路を用いる方法は、L、即ちコイルを用いているため集積回路化が難しく、またLC素子の値のばらつきが特性に影響するため、人手による調整が必要となる。特にPR4の場合は、4乗回路が必要であり、実現回路が複雑となる欠点がある。

【0007】また、A/D変換器を用い相関演算を施す方法は、メガビット・パー・セカンド程度の伝送速度に適用できるほどの高速のA/D変換器が得られていない。

【0008】さらに、ゼロクロス検出法は、多値伝送符号に適用できないという問題がある。多値伝送符号を用いた時の受信波形の1例を、2値符号の場合と合わせて第22図に示す。2値信号301のゼロクロス点305に必ずクロック302の立下りを同軸させれば、クロック302の立上りが正しい識別点となる。ところが、多値符号の1例である3値符号の受信波形303のゼロクロス点306a、306bにクロックを同期させようとすると、立下りがゼロクロス306aに同期したクロック304aと、ゼロクロス306bに同期したクロック304bの2種類が生じ、実際にはゼロクロス点306aと306bとの出現確率に応じて、クロック304aまたは304b、あるいはその中間の位相のクロックが偶然に出力されてしまい、データの識別が正しく行えないという問題がある。一般にN値符号を用いると、N-1種類の位相の異なるクロックが生ずる可能性がある。従来のゼロクロス検出法では、この時安定したクロックを出力することができない。

【0009】さらに、全波整流回路とPLLを用いる方法は原理的には多値符号に適用できるが、全波整流という非線形処理での精度劣化があり、実用上十分な精度が

実現できないことが多い。

【0010】本発明の目的は、多値伝送符号を適用した時に正しいクロックが抽出でき、且つ、数メガビット・パー・セカンド以上の高速伝送にも適用でき、実現回路のLSI化に適したタイミング抽出方式を提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するために、大きく分けて2つの方法がある。1つの方法は、まずN-1種類のゼロクロスタイミングから、識別点に一致したゼロクロスタイミングのみを弁別し、次にそのタイミング情報をPLLに入力してボーレートクロックを得る方法である。もう1つの方法は、まずN-1種類のゼロクロスタイミングすべてに対してPLLを用いてボーレートのN-1倍クロックで同期をとり、次にこのクロックを分周して得られるN-1種類の互いに位相の異なるボーレートクロックから1つのクロックを弁別する方法である。この時、弁別のために符号特有の性質を反映した特定のビット列やフレーム同期パターン、トレーニングパターン等が用いられる。

【0012】前者の方法における弁別にはたとえば次の方法が適用できる。第1に、符号特有の性質を反映した特定のビット列を受信した時のみ、ゼロクロス検出器の出力をPLLに送る方法がある。第2に、信号の傾き大きい時のゼロクロスタイミングを選ぶ方法がある。信号の傾きは、例えば微分器を利用して検出できる。第3に全てのゼロクロスタイミング情報をPLLに送り、後で余計なゼロクロスタイミング情報を引き去る方法がある。

【0013】上述した方法のうち、まず1種類のゼロクロスタイミングを弁別してからPLLでボーレートクロックを生成する方法について述べる。

【0014】上記第1の弁別方法では、特定のパターンによって、希望のゼロクロスタイミングのみを弁別する。例えばPR4符号のような相関性のある符号では、過去に受信した識別パターンから、次のタイムスロットにゼロクロス点が現れるかどうかを判定できる場合がある。一方、ゼロクロス点は、識別点と一致するか、2つの識別点の中央にあるかのいずれかであるから、特定パターンを受信してから半タイムスロット程度の期間だけ、ゼロクロス・タイミングを検出するようにすれば、識別点の中央にあるゼロクロス・タイミングのみを検出できる。

【0015】上記第2の弁別方法では、波形の傾きによってゼロクロス点を分類、弁別する。傾き、即ち変化率は、微分器を通すことにより知ることができる。多値符号は、一般的に、正のピークから負のピークまで変化するとき、傾きが最も大きい。また、この時生ずるゼロクロス点は、丁度識別点の中央に位置するため、第1の方法で述べた理由により都合が良い。そこで、微分器の出

力電圧をモニタし、或るレベルを越えた時のみゼロクロス検出を行えば、識別点の中央のゼロクロス・タイミングのみを弁別できる。

【0016】第3の弁別方法では、後で余計なゼロクロス点の情報を引き去る。クロック生成にPLLを用いた場合、先ず位相比較器によりゼロクロス・タイミングとVCXOの出力クロックの位相と比較し、その位相差をループフィルタで蓄積、平滑した後、VCXOの出力クロックを制御する。すなわち、ゼロクロスタイミングが10 入力してからVCXO出力クロックが制御されるまでの間に、或る程度のタイムラグがある。そこで、例えば、全てのゼロクロス・タイミングから得られた位相差を先ずループフィルタに入力しておき、上記タイムラグ以内に識別点の中央以外でのゼロクロスタイミングによる位相差を引き去る。このようにすれば、最初から希望のゼロクロスタイミングだけを入力するのと同じ効果が得られる。

【0017】次に、ボーレートのN-1倍クロックを用いてすべてのゼロクロス点に同期し、続いて1つのボーレートクロックを弁別する方法について述べる。

【0018】この時、符号の特有の性質を反映した特定のビット列が用いられる。ゼロクロスタイミングの弁別に際し、隣接する2つの識別点の丁度中央にあるゼロクロスタイミングを弁別する時、ボーレート・クロックの立下りで上記タイミングに同期させれば、クロックの立上りが識別点と一致するので都合が良い。このようなゼロクロス点は、例えば信号が「1」から「-1」へ変わる途中で現れる。換言すれば、2つの隣接する識別点での値をモニタし、絶対値が同じで符号が逆のパターンが30 検出されれば、希望のゼロクロス点が発生している。

【0019】そこで、ゼロクロス点の発生と2点の識別値とをモニタしながら、ボーレートクロックを順番に切換え、ゼロクロス点が発生した時に上記パターンが検出できれば、その時のクロックは正しい判定できる。

【0020】また、符号の相関性より発生し得ないパターンが検出されれば、その時のボーレートクロックは誤りと判定できる。例えば、PR4符号では、「1, 1, 1」や「-1, -1, -1」、あるいは「1, -1, 1」、「-1, 1, -1」等のパターンは発生しない。或るボーレートクロックによって識別された値から上記40 のような符号側バイオレーションパターンが検出されれば、そのボーレートクロックは誤りである。

【0021】さらに、弁別にフレーム同期パターンを利用することもできる。この場合は、誤ったタイミングでデータを識別した場合、異なるフレーム同期パターンが検出されるはずである。従って、フレーム同期パターンは、同じ値が連続しないパターンが望ましい。同じ値が連続すると、識別タイミングがずれても識別値が変化せず、誤りを検出できないことがある。特に「1, -1」または「-1, 1」を含むフレーム同期パターンを用い50

ると、正しい位相のクロックでは「1, 1」が識別されるのに対して、半相ずれたクロックで識別すると必ず0が現れるのでクロックの正誤の判定が容易である。このようにして、或るボーレートクロックが弁別された時、そのクロックが正しいか誤りかを検出できる。弁別の候補のクロックはN-1個であるから、順番にクロックを切り換えながら識別器を動作させ、誤りが検出されなければ切換えるのをやめるようにする。また、N-1個の判定回路をそれぞれN-1個のクロックで動作させて、正しい識別が行われたクロックを選択すれば、上記切換の手間は不要である。さらに、判定回路および識別器をN-1倍クロックで動作させ、正しい識別が行われるクロック位相を正しいクロック位相とみなして、ボーレートクロックが立上るようにしても良い。

【0022】

【発明の実施の形態】以下、本発明の実施例を図面を参照して説明する。

【0023】第1図は本発明のタイミング抽出部の一実施例を示す概略図である。タイミング抽出部01は、ゼロクロス検出部2、PLL3、分周器4、弁別部5から構成される。02は識別器である。ゼロクロス検出部2によりN値信号よりN-1種類のゼロクロスタイミングが検出される。PLL3はボーレートのN-1倍のクロックを生成し、すべてのゼロクロス点に同期する。分周器4はN-1倍クロックから互いに位相の異なるN-1個のボーレートクロックを生成する。弁別部5は識別器02の出力データを用いて、ボーレートクロックを1つ50 選択する。

【0024】第2図は本発明のタイミング抽出部の他の実施例を示す概略図である。タイミング抽出部01はゼロクロス検出部2、弁別部05、PLL3より構成される。02は識別器である。ゼロクロス検出部2はN値符号からN-1種類のゼロクロスタイミングを検出する。弁別部05はN値信号を用いてN-1種類をゼロクロスタイミングから1種類のボーレート周期を単位として現れるゼロクロスタイミングのみを弁別する。この弁別は識別器2の出力データを用いて行なうことも可能である。PLL3は弁別部05の出力であるゼロクロスタイミングに同期してボーレートクロックを出力する。

【0025】第21図は第1図で述べた実施例の一変形例である。タイミング抽出部01は、しきい値発生回路03、交叉タイミング検出部04、弁別回路05、クロック生成回路06から構成される。02は識別器である。しきい値発生回路03は、交叉タイミング検出部04にしきい値電圧を供給し、受信信号としきい値レベルが交叉するタイミングを検出する。尚、0ボルトを中心に正負に振れる平衡符号を用いる場合は、しきい値電圧を0ボルトにとるのが最も有効である。このようにして、N値信号に対してN-1種類の交叉タイミングを検出でき、弁別回路05により1種類の交叉タイミングの



みを抽出できる。この弁別は識別器02の出力を用いて行われる。クロック生成回路06は、上記種類の交叉タイミングに同期したボーレートクロックを生成する。

【0026】第23図は第2図で説明した弁別部05の一実施例を示すものである。弁別部05は全波整流器030、ゼロクロス検出部031、イネーブル生成部032、スイッチ033より構成される。全波整流器030によって整流された信号には識別点と一致するゼロクロス点なくなり、ゼロクロス点は識別点と識別点の中央付近に集まってくる。このゼロクロス点をゼロクロス検出器031で検出し、最初にとられたゼロクロスタイミングをトリガにしてイネーブル信号を生成する。この処理はイネーブル生成部032で行われる。余分なゼロクロス点を検出しないためには、イネーブル信号の中はタイムスロット中に比べて十分狭くすることが望ましい。イネーブル信号によりスイッチ033が開閉され、隣接する識別点のちょうど中央にあるゼロクロス点だけが弁別される。PLL3はゼロクロス点に同期してボーレートクロックを生成する。このクロックの立下りはちょうど識別点に一致する。

【0027】また、第24図は第2図で説明した弁別部05の別の実施例である。弁別部05はスイッチ040遅延041、セクタ042、インバータ043、フレーム同期回路044から構成される。スイッチ040が、ボーレート周期でゼロクロスタイミングを弁別するためのスイッチである。スイッチ040の制御は以下の手順で行われる。PLL3はボーレートクロックを生成するが、このクロックは立上りまた立下りが識別点に同期している。インバータ043を用いて、互いに逆相の2つのボーレートクロックが生成される。識別器02およびフレーム同期回路044を用いて、セクタ042は1つのボーレートクロックを選択する。このクロックに適切な遅延041をかけて、スイッチ040を制御する。これにより、識別点に一致しないゼロクロスタイミングのみを除くことができる。また、セクタ042の制御はフレーム同期回路044の代わりに、符号側バイオレーション検出器やトレーニングパターン照号器を適用することもできる。

【0028】第3図は、上記タイミング抽出部01がLSIに内蔵される場合の1実施例を示す。送信フィルタ013、符号化器014、スクランブラ015により送信回路016が構成される。送信データは、スクランブラ015により、スクランブルされたバイナリーデータとなり、符号化器014により伝送符号化されて、送信フィルタ013を介して出力される。スクランブラ015は、タイミング抽出の難しい特定パターンが連続して送信されないようにするために必要である。この時、符号化器014、およびスクランブラ015は、送信クロックに従って動作する。送信信号は、送信トランス018a、電話線019aを介して送信される。

【0029】一方、タイミング抽出部01、識別器02、等化器09、復号器010、デスクランブラ011により受信回路012が構成される。電話線019b、受信トランス018bを介して受信された信号は、等化器09により電話線019bで生じたロスを補償され、識別器02でデジタルデータに変換された後、復号器010でバイナリーデータに変換され、更に、デスクランブラ011により、スクランブラ015によってかけられたスクランブルが解かれる。01は、識別器02、復号器010、デスクランブラ011を復号するためのクロックを生成するタイミング抽出回路01である。上記送信回路016と受信回路012は、同一の半導体基板上に伝送回路LSI017として形成できる。

【0030】第4図は、上記伝送回路LSI017を適用した通信システムの1実施例を示す。020は通信に必要な各種の処理を行うプロトコル処理部であり、伝送回路LSI017と共に通信インタフェース021を構成する。通信インターフェース021は、データ端末022aおよび電話機022bとの間で信号を送受信する。上記データ端末022a、電話機022bおよび通信インタフェース021から成る端末023と、交換機027とは、電話線019を介して通信を行う。交換機027も内部に伝送回路LSI017を備えており、これにより交換回路026との間で信号を送受信する。

【0031】次に、第1図で説明した実施例でのタイミング抽出部01の構成について具体的に説明する。まず、第1の実施例を第5図および第6図により説明する。

【0032】第5図は、4MbpsのPR4符号を適用する場合の受信回路の1実施例を示すブロック図である。本受信回路は、等化器09、ゼロクロス検出器2、弁別回路05、クロック生成回路06、および識別器02により構成される。弁別回路05は、PLL3と、パターン選択回路8と、アップダウンカウンタ9より構成される。さらにPLL3は、位相比較器10と、ループフィルタ11と、8MHzを中心周波数に持つVCXO12とから構成され、クロック生成回路06は分周器4と、NOTゲート5と、スイッチ6より構成される。

【0033】第6図は、本実施例の動作を表すタイミングチャートである。100は等化器1の出力波形、101はゼロクロス検出器2の出力、102はVCXO12から出力される8MHzのクロック、103はクロック102を分周して得られる4MHzのクロック、104はクロック103でのパターンチェック信号、105はクロック103による識別器、106はクロックが103の時のエラー信号、107はクロックが103の時のノンエラー信号である。また、108は、クロック102を分周して得られる4MHzのクロックであり、103とは逆の位相をもつ。109はクロック108でのパターンチェック信号、110はクロック108による識

別値、111はクロックが108の時のエラー信号、112はクロックが108の時のノンエラー信号である。113はタイミング、114は識別点のタイミングを示す。

【0034】等化器09の出力波形100は、ゼロクロス検出器2に入力され、これによりゼロクロスタイミング101が抽出される。この時、ゼロクロス検出器2に数百mVの不感帯を設けておけば、「0」レベルが連続して入力された時、雑音によるゼロクロスタイミングの誤検出を防ぐことができる。この後、ゼロクロスタイミ

ング101は、位相比較器10とループフィルタ11とを経て、VCXO12に入力される。3値符号であるPR4符号では、1タイムスロット当り、 $3-1=2$ 個のゼロクロス点が得られる。そこで、VCXOは、出力周波数が $4\text{MHz} \times 2 = 8\text{MHz}$ を中心にしてあまり大きく変わらないように設計する。これにより、ゼロクロスタイミング101が周期的でなくとも安定した周波数のクロック102を出力できる。

【0035】PLL3から出力されたクロック102は、分周器4によって4MHzのクロック103に変換される。また、NOTゲート5により逆相のクロック108が生成される。スイッチ6は、上述したクロック103と108のいずれかを選択して識別器02に入力する。この選択は、パターン選択回路8と、アップダウンカウンタ9との作用により行なわれる。

【0036】ことに、パターン選択回路の動作を第7図を参照して説明する。識別器02は、比較器20、21およびラッチ22、23より構成される。また、パターン選択回路8は、シフトレジスタ24、25およびゲート26～32で構成されている。PR4符号の波形100の特徴に注目すると、「1」から「-1」（又は「-1」から「1」）への推移中のゼロクロスタイミング113では、信号の傾きが大きく、雑音によるタイミングジッタが小さい。このタイミング113は、正しい識別点114の midpoint に位置する。この時、クロック108の立下りが、ゼロクロスタイミング113に一致し、クロス108の立上りは正しい識別器114と一致する。

【0037】本実施例では、クロック108をクロック102から生成し、クロック108の立上りで受信波形を識別する。ここで、先ず第5図に示したスイッチ6が、誤ったクロック103を選択している場合を仮定すると、比較器20、21、ラッチ22、23により、識別されたデータ105が出力される。さらに、2bitのシフトレジスタ24、25を経て、ゲート26、27、28、29により、パターン「1、-1」および「-1、1」の選択が行なわれる。上記パターンが得られた場合はゲート29の出力がHレベルになり、得られない場合はゲート28の出力がHレベルになる。一方、ゼロクロス信号101の立上りと、クロック103の立下りが一致する場合には、パターンチェック信号104

がゲート30の出力として得られる。上記パターンチェック信号は、ゲート31と32に入力される。これは、タイミング113の前後の識別値が「1、-1」、または「-1、1」であるかどうかを判定することに相当する。該パターンが得られた場合、ノンエラー信号107がゲート32より出力され、第5図のアップダウンカウンタ9の値が1だけ減少する。また、該パターンが得られない場合、エラー信号106がゲート31より出力され、アップダウンカウンタ9の値が1だけ増加する。クロック103によって、識別器02およびパターン選択回路8が動作する間は、エラー信号106のパルス数がノンエラー信号107の数を上回り、アップダウンカウンタ9の値はどんどん増加する。この値が所定値を超えると、アップダウンカウンタ9から切換信号が出力され、スイッチ6が切り換わる。これにより、正しいクロック108によって、識別器02およびパターン選択回路8が動作することになる。この時、エラー信号111は出力されず、ノンエラー信号112のみが出力される。従って、アップダウンカウンタ9の値は「0」で安定し、スイッチ6はこのまま維持され正しい識別が行われる。

【0038】上記実施例ではパターン「1、-1」または「-1、1」を検出すれば、その時選択されていた4MHzクロックが正しいとみなすようにしている。これとは逆に、例えば以下に示す4種類のパターン、即ち「1、1、1」、「-1、-1、-1」、「1、-1、1」、「-1、1、-1」のようなPR4符号バイオリーションパターンを検出した場合、その時選択されていたボーレートクロックは誤りであると判断するようにしてもよい。

【0039】次に、弁別部05の第2の実施例を第8図を参照して説明する。弁別部05はセクタ050とフレーム同期回路051より構成される等化器09より出力されたN値信号から、ゼロクロス検出器2はN-1種類のすべてのゼロクロスタイミングを出力する。PLL3はすべてのゼロクロスタイミングに同期して、ボーレートのN-1倍クロックを生成する。PR4伝送符号が適用された場合、ボーレートをfbと以下記述することになると、PLL3つの出力クロックの周波数は2fbである。分周器4は互いに逆相の2つのボーレートクロックを生成する。セクタ050はフレーム同期回路051の出力によって制御され、1つのボーレートクロックを弁別する。フレーム同期回路051は、セクター050で選択されたボーレートクロックによって動作するため、選択されたボーレートクロックが識別点に同期したものであれば、正しいフレーム同期パターンが検出されたフレーム同期は正しく行なわれる。一方、選択されたボーレートクロックが識別点からずれたクロックであれば、フレーム同期パターンが正しく識別されず、フレーム同期が確立しない。フレーム同期が一定時間確立



しなければ、セクタ050は現在選択されているボーレートクロックと逆相のクロックを選択する。このクロックは識別点に同期したクロックだと判定できるため、フレーム同期は確立しセクタは安定することになる。ただし、識別器02の直前のフレーム同期パターンが、例えば「-1, -1, -1, -1, -1, -1, -1, -1, -1」など同じ値が連続するものであれば、識別点からずれたクロックを用いても正しい識別が行われることもあり得る。これを防ぐために、フレーム同期パターンは同じ値が連続しないパターンを含むことが望ましい。特にPR4符号を送信符号として適用する場合は、フレーム同期パターンに「1, -1」または「-1, 1」を含むパターンを用いると良い。この時、識別点に一致したクロックでは、正しく「1, -1」または「-1, 1」の認識が行われるが、逆相のクロックでは、1→-1または-1→1の変化途中にある0を識別することになる。こうすると、正しいクロックによる識別では現れない0が、逆相クロックでは識別値として必ず現れるため判定に便利となる。

【0040】第9図は第8図で説明した実施例の一変形例である。弁別部05はセクタ050および2つのフレーム同期回路051a・bより構成される。フレーム同期回路051a・bは、分周器4で生成された互いに逆相のクロックにより動作する。フレーム同期が確立した方のクロックをセクタ050で選択すれば良い。またラッチ052は正しいクロックでデータを打ち抜くためのものである。この実施例は、ハード量は増えるもののボーレートクロックを一定時間ごと切り換える必要がないという利点がある。

【0041】また第25図は第8図で説明した実施例の別の変形例である。弁別部05は分周器4とフレーム同期回路051より構成される。フレーム同期回路051および識別器02はボーレートの2倍の周波数2fbで動作する。フレーム同期回路は識別器2の出力データを1タイムスロット置きに蓄えてフレーム同期パターンの照合を行う。フレーム同期が確立した瞬間に分周器4はリセットされ、出力のボーレートクロックの位相が確立することになる。この変形例では、識別器02をボーレートの2倍のクロックで動かすことになるため、高速伝送の際に回路動作上の問題を起こすことがある。この場合は識別器を2つ用意して、それぞれを互いに逆相のボーレートクロックで動作させ、2つの出力のOR論理をとれば良い。

【0042】以上の実施例では、フレーム同期回路051の代わりに、符号則バイオレーション検出器やトレーニングパルス照合器も適用可能である。

【0043】次に、本発明の弁別回路の第3の実施例を説明する。本実施例も4MbpsのPR4符号に適用する例であるが、PLLは8MHzではなく4MHzのクロックを出力する。

【0044】第10図は本実施例のブロック図を示す。この回路は等化器09、ゼロクロス検出器2、弁別回路05、識別器02より構成され、弁別回路5は、PLL3、パターン選択回路8、ゲート60からなる。また、PLL3は、位相比較器10、ループフィルタ11、VCXO12から構成される。

【0045】第11図は上記実施例の動作を示すタイミングチャートであり、100は等化波形、101はゼロクロスタイミング、113はタイミング、114は識別点のタイミング、120はクロックの初期位相、121はクロック120による識別値、122は120と121より生成されるイネーブル信号、123はPLL3に送られるタイミング情報、124はクロックの収束値を示す。

【0046】第12図は、パターン選択回路8および周辺回路の構成である。識別器02は比較器21、21、ラッチ22、23より構成される。パターン選択回路8は、bitシフトレジスタ24、25およびゲート61、62、63から構成される。ゲート63の出力はゲート60へ出力される。

【0047】等化器09の出力波形100は、ゼロクロス検出器2に入力されゼロクロスタイミング101が出力される。このとき、VCXO12の初期クロック位相が120であれば、ゼロクロスタイミング101とクロック120とが位相比較器10で比較され、タイミング101の立上りとクロック120の立下りが一致するように動作する。ここで、ゼロクロスタイミング101の全てのパルスが位相比較器10に送られるものと仮定すると、クロック120の立下りは、タイミング113とタイミング114の両方に同時に一致しようと働き、結果的に位相が安定しないことになる。

【0048】そこで、本実施例では、タイミング113で立上るパルスのみを位相比較器10に送るようにする。この動作は、識別器02、パターン選択回路8、ゲート60の共同作用により以下のように行われる。先ず、初期クロック120に同期して、識別器02が識別値121を出力する。識別値が次の4種類のパターン、すなわち、「-1, 1」、「0, 1」、「0, -1」、「-1, -1」のいずれかと一致する場合、半タイムスロット=125nsのイネーブル信号を122を生成する。この動作はシフトレジスタ424、25およびゲート61、62、63によって行われる。ゼロクロスタイミング101とイネーブル信号122とのAND信号123がゲート60より出力される。信号123は、位相比較器10に入力され、信号123の立上りとクロック120の立下りとが一致するように動作する。最終的に、VCXOの出力は124となって安定し、クロック124の立上りが正しい識別点と一致する。

【0049】次に、本発明の弁別回路の第4の実施例を説明する。本実施例は、受信波形のゼロクロスタイミン

グのうち、波形の傾きが大きいタイミングのみをPLLに入力する方法である。

【0050】第13図は本実施例のブロック図である。等化器09、ゼロクロス検出回路2、弁別回路05、識別器02より構成される。弁別回路05は、PLL3、微分器70、ゲート60、71~73で構成されている。さらに、PLL2は位相比較器10、ループフィルタ11、VCXO12より構成される。

【0051】第14図は上記実施例の動作を示すタイミングチャートである。100は等化波形、101はゼロクロスタイミング、113はタイミング、130は100の微分波形、131はイネーブル信号、132はタイミング情報、133は出力クロックである。

【0052】本実施例では、等化波形100から抽出したゼロクロスタイミング101のうち、立上りタイミングが113となるパルスだけを位相比較器10に送る。そのために、微分器70により等化波形100の微分波形130を生成し、比較器71、72およびゲート73により、微分波形130がしきい値V以上、あるいは-V以下となる区間をイネーブル信号131として検出する。イネーブル信号131とゼロクロスタイミング101との論理和をゲート60でとり、出力信号132を位相比較器10へ入力する。最終的にVCXOから出力されるクロック133は、その立下りがタイミング情報132の立上りに同期する。従って、クロック133の立上りは、正しい識別点114に一致する。

【0053】次に、第15図~第17図を参照して本発明の弁別回路の第5の実施例を説明する。本実施例は4Mbpsの2B1符号に適用されるものである。この場合、ボーレートは2Mbaudであるから1タイムスロットが500nsとなり、ゼロクロス位相は4-1=3個となる。PLLは、ボーレートの3倍である6MHzで動作し、等化波形のゼロクロスに同期する。

【0054】第15図は本実施例の全体構成を示すブロック図であり、等化器09、ゼロクロス検出器2、弁別回路05、クロック生成回路06、および識別器02より構成される。弁別回路05は、PLL3、パターン選択回路8、アップダウンカウンタ9より構成される。また、クロック生成回路6は、3倍分周器83、スイッチ84より構成される。上記PLL3は位相比較器10、ループフィルタ11、VCXO12からなる。

【0055】第16図は上記実施例の動作を示すタイミングチャートであり、140は等化波形、141はゼロクロス・タイミング、142は6MHzのクロック、143、144はそれぞれ位相の異なる2MHzクロックa、b、cであり、どれもクロック142の3倍分周で生成される。146はクロック143による識別値、147はクロック143の場合のイネーブル信号、148はエラー信号、149はノンエラー信号である。また、150はクロック145による識別値、15

1はイネーブル信号、152はエラー信号、153はノンエラー信号、153、154、155はタイミングである。

【0056】第15図はパターン選択回路8およびその周辺回路の詳細図である。分周器83、スイッチ84、識別器02、パターン選択回路8、アップダウンカウンタ9で構成されている。識別器02は比較器91、92、93およびラッチ94、95、96により構成される。またパターン選択回路8は、シフトレジスタ97、98、99およびゲート200~208より構成されている。

【0057】等化器09の出力波形140は、ゼロクロス検出器2に入力され、ゼロクロスタイミング141が出力される。この信号141は3種類のゼロクロスタイミング153、154、155を持っている。PLL3は、タイミング153、154、および155に立下りが同期した6MHzのクロック142を出力する。クロック142を分周器83で3倍分周することにより、互いに位相が異なる2MHzの3つのクロック143、144、145が生成される。最初に、スイッチ84によりクロック143が選択されている場合を考える。識別器02は、クロック143に同期してデータを識別し(146)、シフトレジスタ97、98、99へ送る。ここで、次に示す4種類のパターン、すなわち「3、-3」、「1、-1」、「-1、1」、「-3、3」のいずれかが検出された場合、ゲート205の出力がHレベルになる。もし検出されない場合は、ゲート204の出力がHレベルになる。一方、ゲート206は、クロック143の立下りと同時に立上るゼロクロスタイミング141のパルスを選び出し、イネーブル信号147を出力する。イネーブル信号147がHレベルで、且つ、ゲート205の出力がHレベルの時は、ゲート208はノンエラー信号149を出力し、アップダウンカウンタ9の値が1だけ下がる。また、イネーブル信号147がHレベルで、且つゲート204の出力がHレベルの時は、ゲート207はエラー信号148を出力し、アップダウンカウンタ9の値を1だけ増える。この操作は、クロック143の前後の識別値をモニタし、正しいパターンを識別しているかどうかを確認する操作に相当する。クロック143に従うと、エラー信号148の方にパルスが出力され、アップダウンカウンタ9の値は増加し、或るしきい値を超えると、切換信号が出力され、スイッチ84が切り換えられる。クロック145が選択されると、識別値150とイネーブル信号151が生成され、エラー信号152およびノンエラー信号153が出力される。ノンエラー信号153の方にパルスが出るので、アップダウンカウンタ9の値は「0」に落ち着き、スイッチ84は安定する。この時、クロック145の立上りが正しい識別点である。

【0058】次に、本発明の弁別回路の第6の実施例を

説明する。本実施例は4Mbpsの2B1Q符号に適用されるものである。本実施例では2MHzのクロックを直接抽出する。第18図は本実施例の全体構成を示すブロック図であり、等化器09、ゼロクロス検出器2、弁別回路05、識別器02より構成される。弁別回路05はDPLL210とパターン選択回路8より構成される。また、DPLL210は、位相比較器212、アップダウンカウンタ213、可変分周器214より構成される。

【0059】第19図は上記実施例の動作を表すタイミングチャートであり、140は等化波形、160はゼロクロスタイミング、161はクロック初期位相162はタイミング信号、163はクロック161による識別値、164はゼロクロスタイミング161の1タイムスロット遅延、165はイネーブル信号、166はエラー信号である。

【0060】第20図は、上記第18図におけるパターン選択回路8、位相比較器212および周辺回路の詳細図である。02は識別器、213はアップダウンカウンタ、214は可変分周器である。識別器02は比較器91、92、93およびラッチ94、95、96より構成される。パターン識別回路8はシフトレジスタ97、98、99およびゲート200~203およびゲート220により構成される。さらに位相比較器はフリップフロップ221、シフトレジスタ222、ゲート223により構成される。

【0061】等化器09の出力波形140は、ゼロクロス検出器2に輸入され、これによりゼロクロスタイミング160が出力される。2MHzクロックの初期位相が161であったと仮定すると、位相比較器212はゼロクロスタイミング160とクロック161を比較し、タイミング信号162を出力する。この処理はフリップフロップ221により行われ、タイミング信号162のバース数だけ、アップダウンカウンタ213の値が増加する。アップダウンカウンタ213の値が或るしきい値を上回ると、UP信号が出力され、可変分周器214の分周比を1つ上げる。例えば、最初に分周比が128MHz/2MHz=64の状態UP信号を受信すると、分周比は65に上がり、クロック周波数が下がって収束方向へ向かう。しかしながら、この時タイミング信号162は、3種類のゼロクロス位相167、168、169を含んでいる。クロックを同期させたいタイミング位相は167のみがあるから、本実施例では、例えば以下の処理により余分なバースを除去する。

【0062】クロック161に同期して識別器02が識別値163を出力する。さらに、パターン選択回路8が、以下に示す4種類のパターン、即ち「3、-3」、「1、-1」、「-1、1」、「-3、3」以外のパターンを検出したとき、イネーブル信号165を出力する。一方、シフトレジスタ222は、ゼロクロスタイミング

160を1タイムスロット、即ち550ns遅延させ信号164を出力する。信号164とイネーブル信号165の論理和がエラー信号166であり、ゲート223より出力される。エラー信号166のバース数は、誤って計数されたバース数を表し、この数だけアップダウンカウンタ213の値が小さくなる。本実施例では、タイミング信号162のバース数は6個であり、またエラー信号166のバース数は3個であって、両者の差は3個である。これは、所望のタイミング位相167に同期したバースの数3個と一致する。この作用により、アップダウンカウンタ213では所望のタイミング位相167に同期したバースの個数を計数することになる。従ってDPLL210は、タイミング位相167に同期した2MHzのクロックを出力して安定する。この実施例は、ゼロクロス検出後ある程度時間がたたないと、そのゼロクロス点が正しいかどうか分からない時に特に有効である。

【0063】

【発明の効果】以上の説明から明らかな如く、本発明によれば、全ての多値符号に適用でき、数メガビット・パー・セカンド以上の高速伝送に適用でき、かつ実現回路のLSI化に適したタイミング抽出方式を提供できる。

【図面の簡単な説明】

【図1】本発明の1実施例を示すシステム構成を示す図である。

【図2】別の実施例を示すシステム構成を示す図である。

【図3】本発明を適用した伝送回路LSIの1実施例を示すブロック図である。

【図4】本発明を適用した通信システムの1実施例を示すブロック図である。

【図5】本発明の弁別回路の第1の実施例を示すブロック図である。

【図6】図5回路の動作を説明するためのタイミングチャートである。

【図7】図5の主要部分の詳細を示す回路図である。

【図8】本発明の弁別回路の第2の実施例を示すブロック図である。

【図9】図8の実施例の一変形例である。

【図10】本発明の弁別回路の第3の実施例を示すブロック図である。

【図11】図10回路の動作を説明するための信号タイミングチャートである。

【図12】図10回路の主要部分の詳細を示す回路図である。

【図13】本発明の弁別回路の第4の実施例を示すブロック図である。

【図14】図13回路の動作を説明するための信号タイミングチャートである。

【図15】本発明の弁別回路の第5の実施例を示すプロ

ック図である。

【図16】図15回路の動作を説明するための信号タイミングチャートである。

【図17】図15回路の主要部分の詳細を示す回路図である。

【図18】本発明の弁別回路の第6の実施例を示すブロック図である。

【図19】図18回路の動作を説明するための信号タイミングチャートである。

【図20】図18回路の主要部分の詳細を示す回路図である。

【図21】図1の実施例の1変形例である。

【図22】本発明の原理を説明するタイミングチャートである。

【図23】図2の実施例での弁別回路の一実施例を示す図である。

【図24】図2の実施例での弁別回路の別の実施例を示す図である。

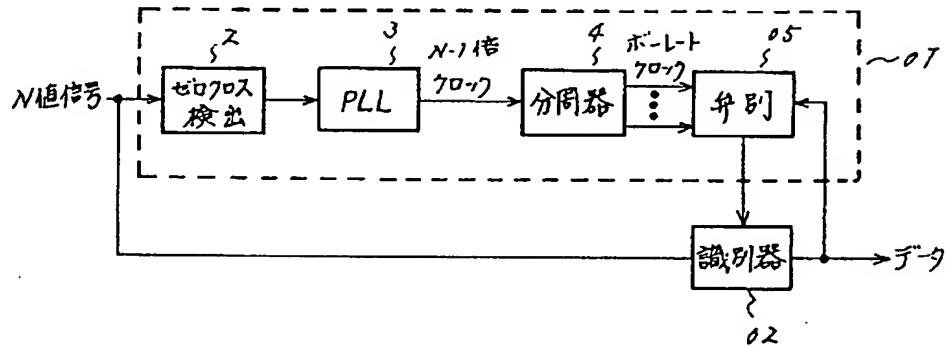
【図25】図8の実施例の別の変形例である。

\*【符号の説明】

- 01…タイミング抽出部、
- 02…識別器、
- 03…しきい値発生回路、
- 04…交叉タイミング検出部
- 05…弁別回路、
- 06…クロック生成回路、
- 09…等化器、
- 010…復号器、
- 011…デスクランブラ、
- 012…受信回路、
- 014…符号化器、
- 015…スクランブラ、
- 016…送信回路、
- 017…伝送回路LSI、
- 019…電話線、
- 021…通信インタフェース、
- 023…端末、
- \* 027…交換機。

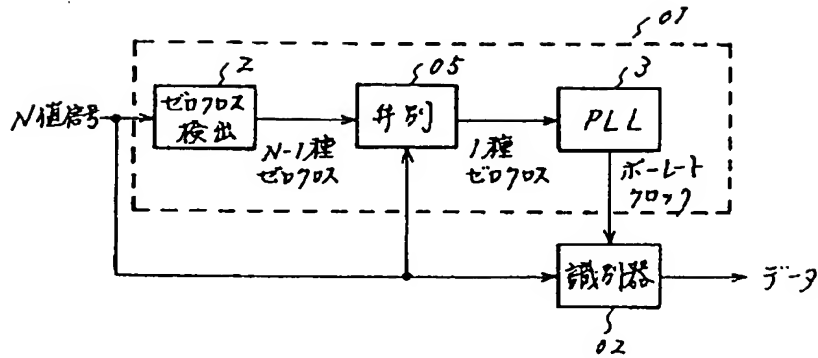
【図1】

図 1



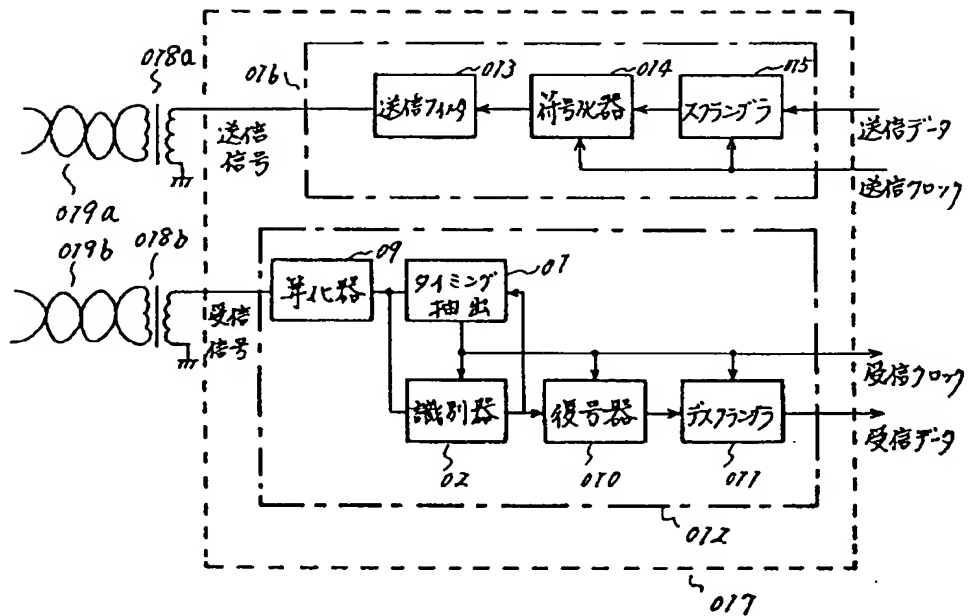
【図2】

図 2



【図3】

図 3

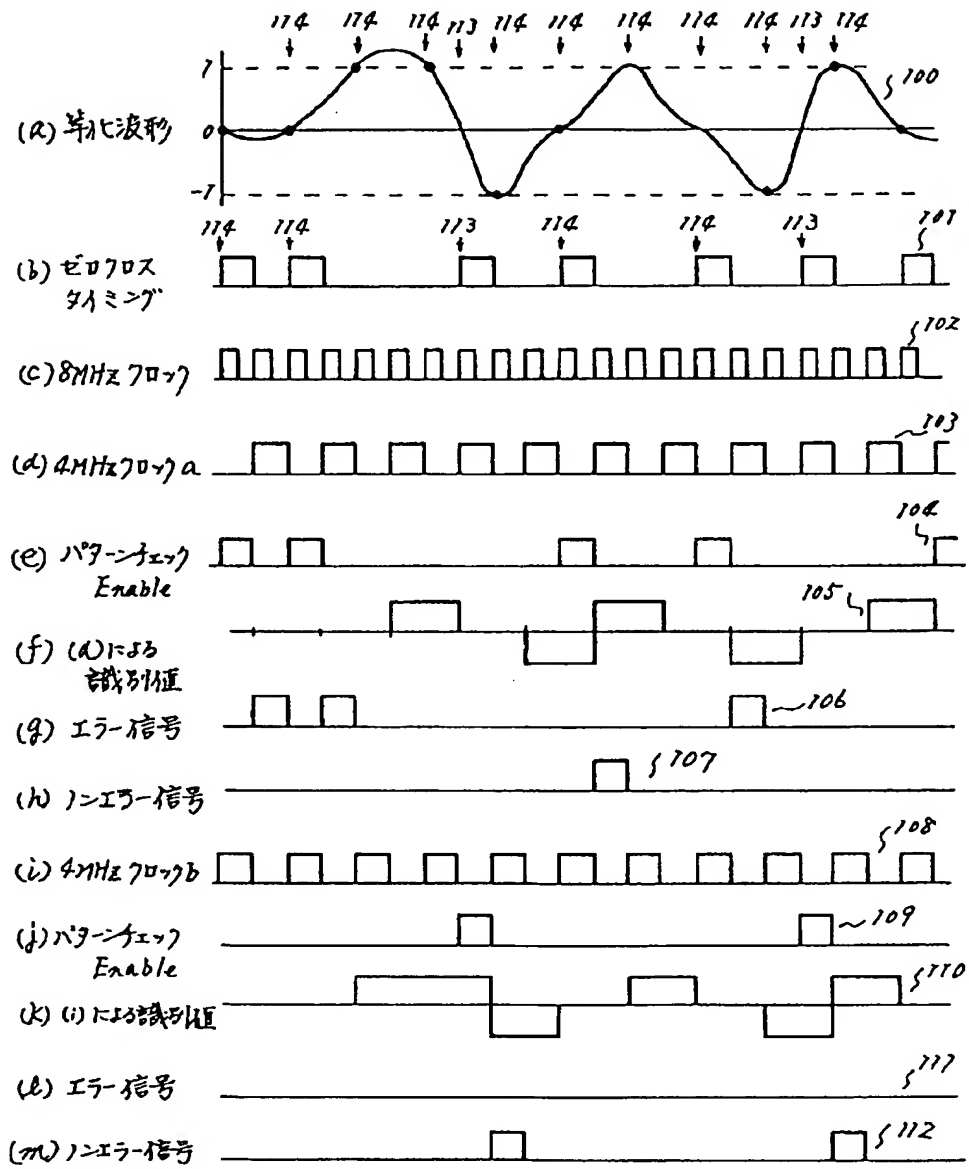






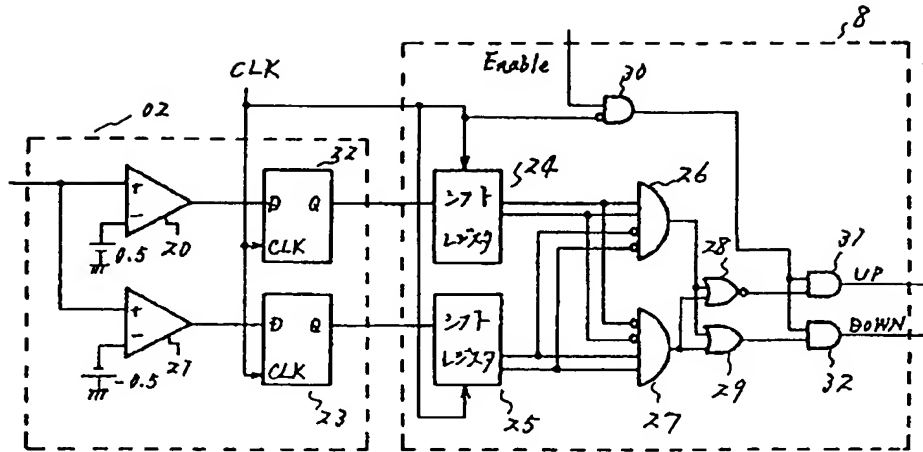
【図6】

図 6



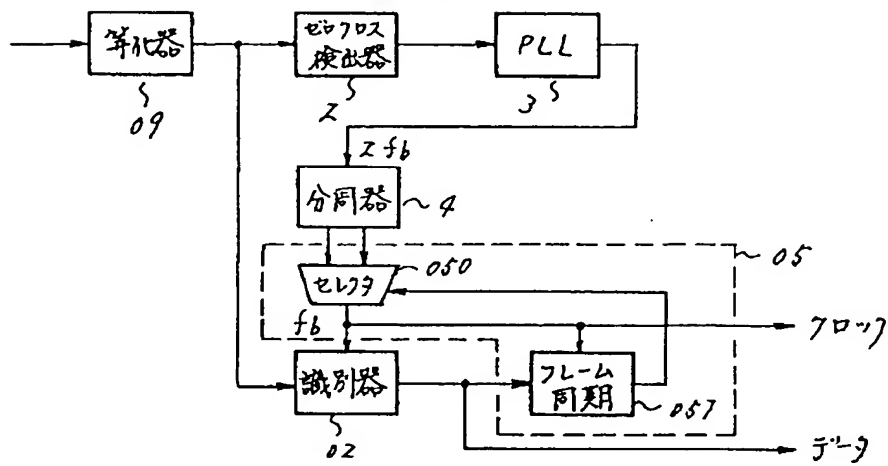
【図7】

図 7



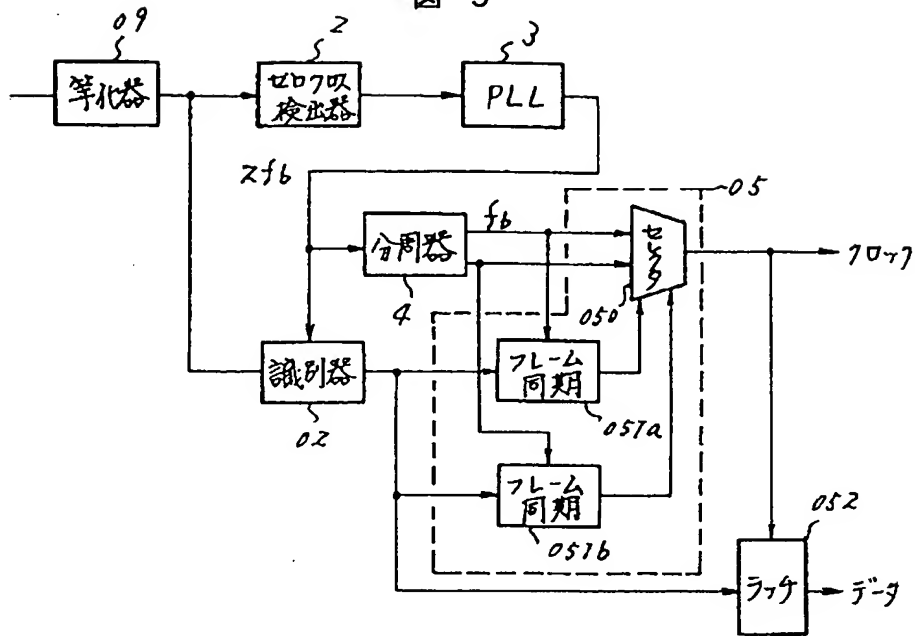
【図8】

図 8



【図9】

図 9



【図10】

図 10

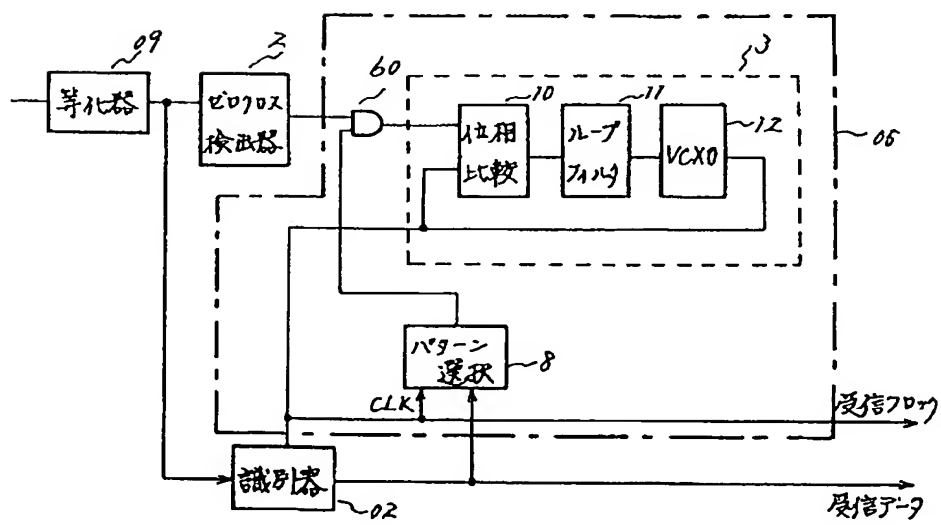




图 13

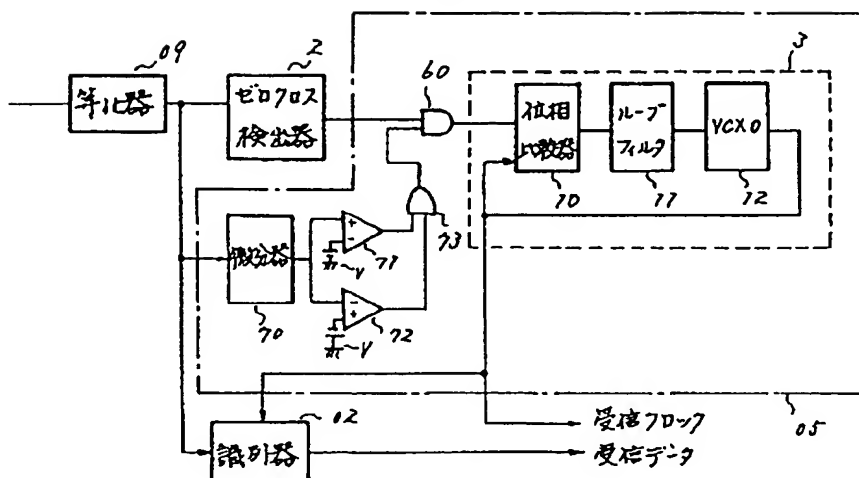
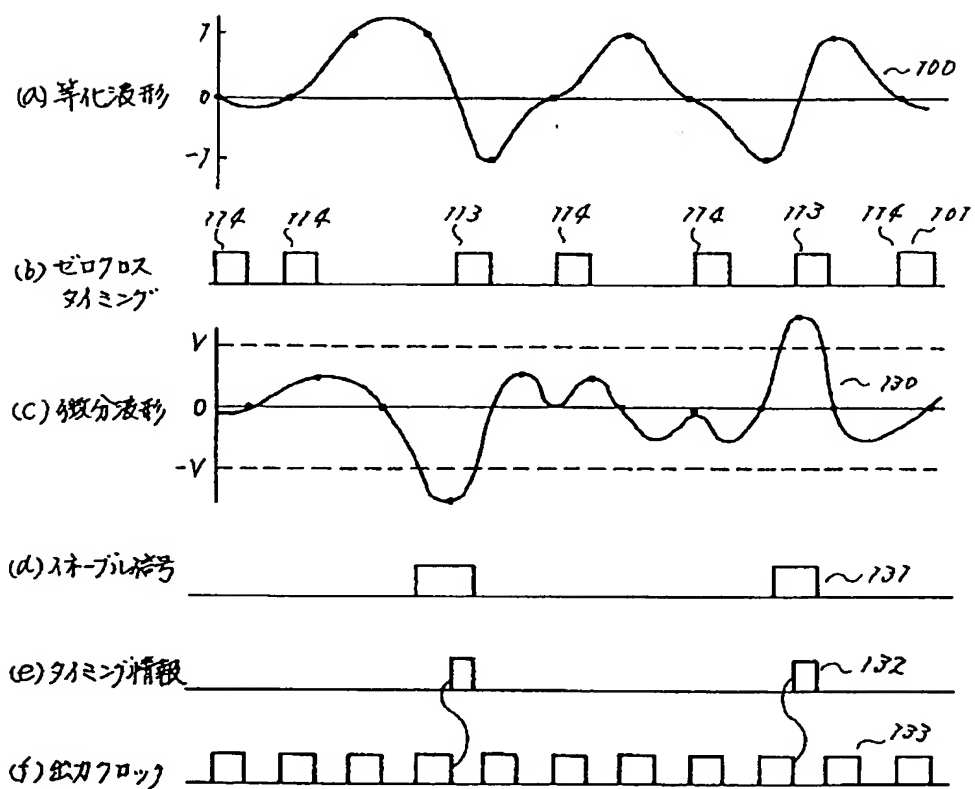
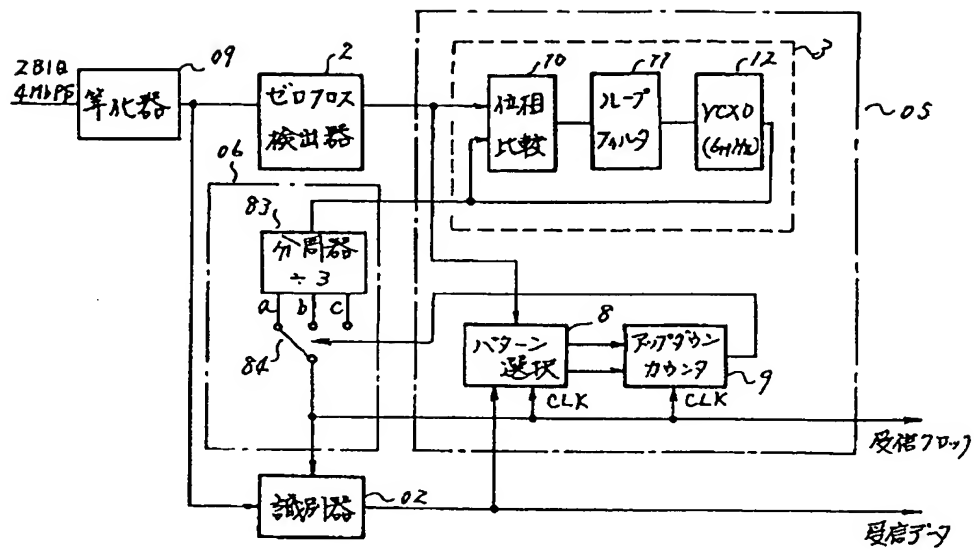


图 14



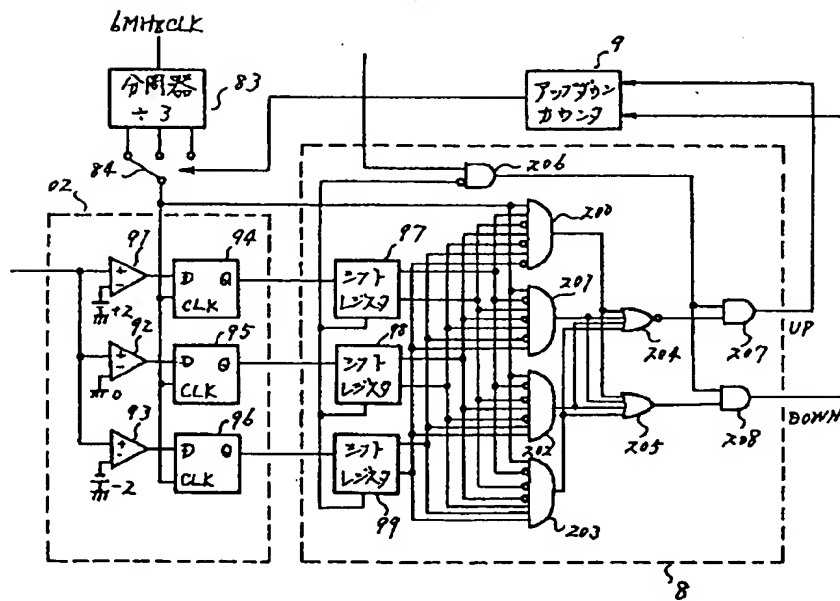
【図 15】

図 15



【図 17】

図 17





【図16】

図 16

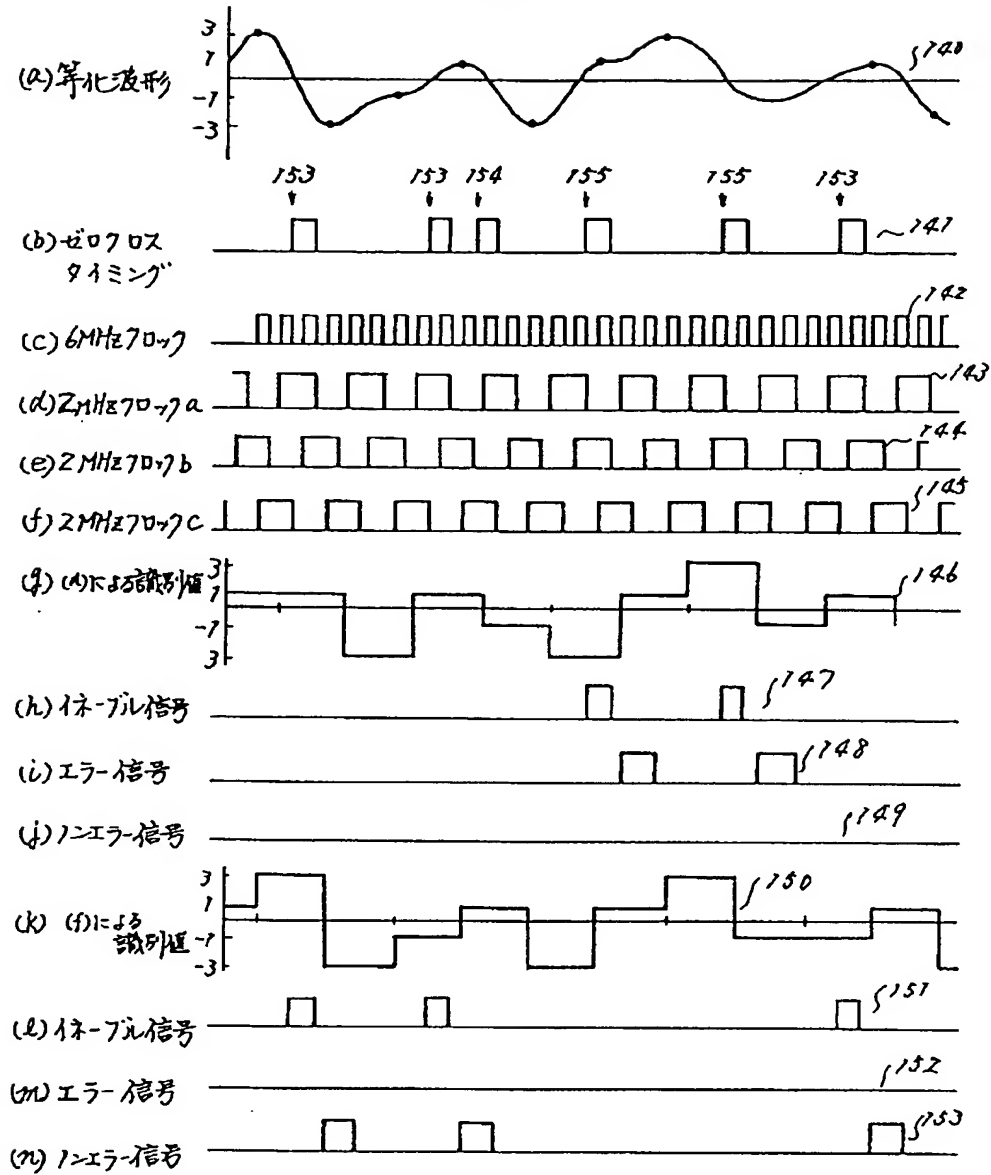
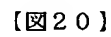


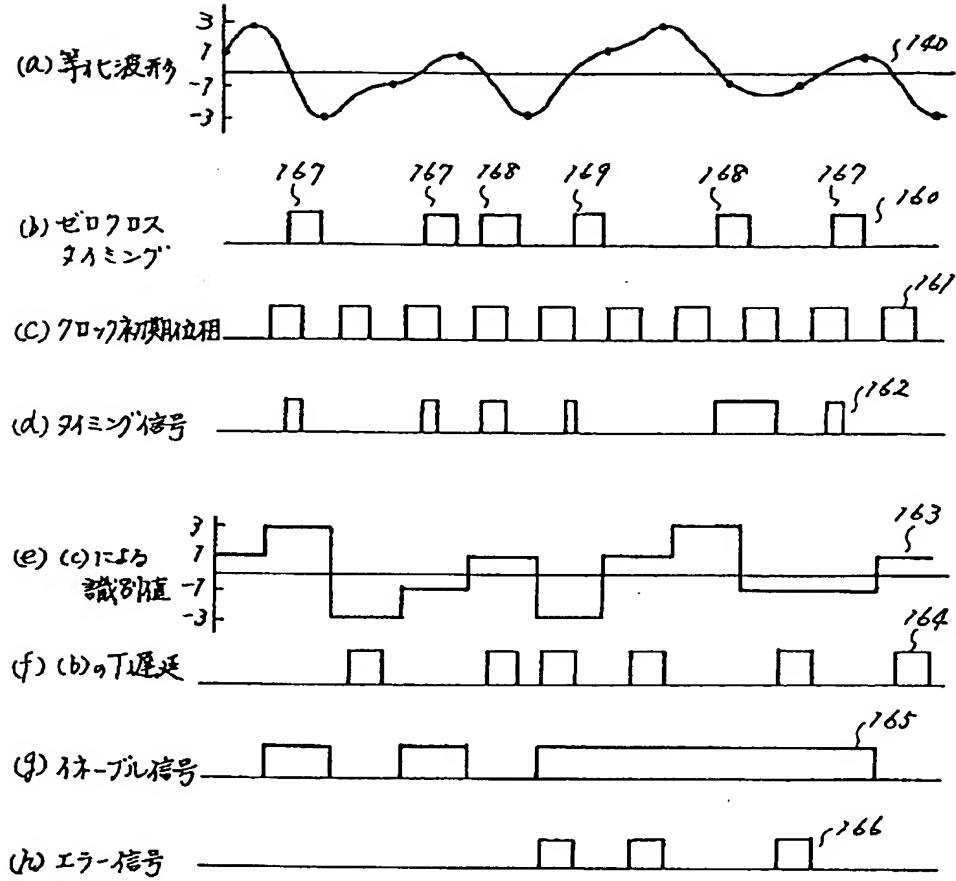
图 18



The diagram illustrates a digital circuit architecture. At the top, a dashed box labeled 7 contains a control logic section. It includes a set-reset flip-flop (SR) with inputs S and R, receiving signals from input 221 and output 227 respectively. A shift register (シフトレジスタ) receives a 128MHz CLK signal and outputs DOWN signals to AND gates 222 and 223. The SR's Q output (UP) goes to AND gate 223. The outputs of AND gates 222 and 223 are combined via OR gate 220 to produce a DOWN signal. This DOWN signal, along with a 128MHz CLX clock, controls a counter/divider (可変分周器) which produces a variable frequency output (出力). Below this, another dashed box labeled 8 contains a main processing unit. It features three D-type flip-flops (94, 95, 96) each with a clock input (CLK) and a data input (D). Their D inputs are connected to inverters 91, 92, and 93, which also receive a common input signal through a bus 02. The outputs of these flip-flops feed into three shift registers (97, 98, 99). The outputs of these shift registers are connected to a series of AND gates (200, 201, 202, 203). The outputs of these AND gates are combined via OR gate 220 to produce a final output signal.

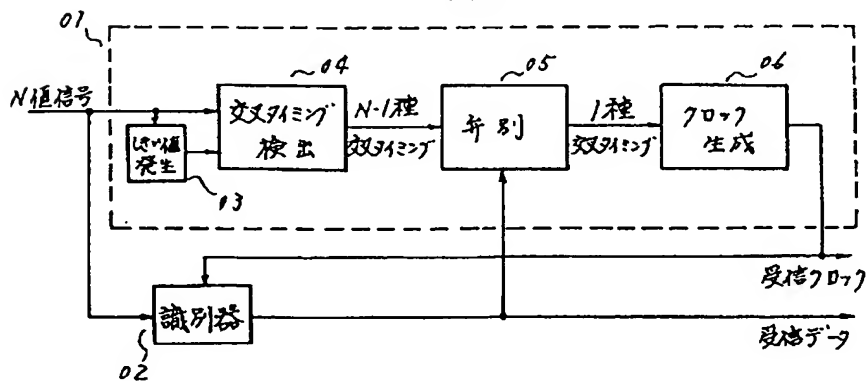
【図19】

図 19

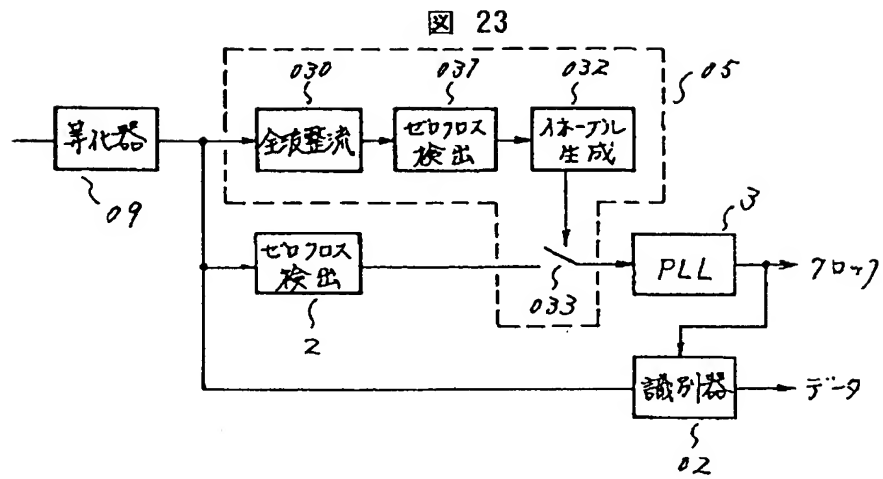


【図21】

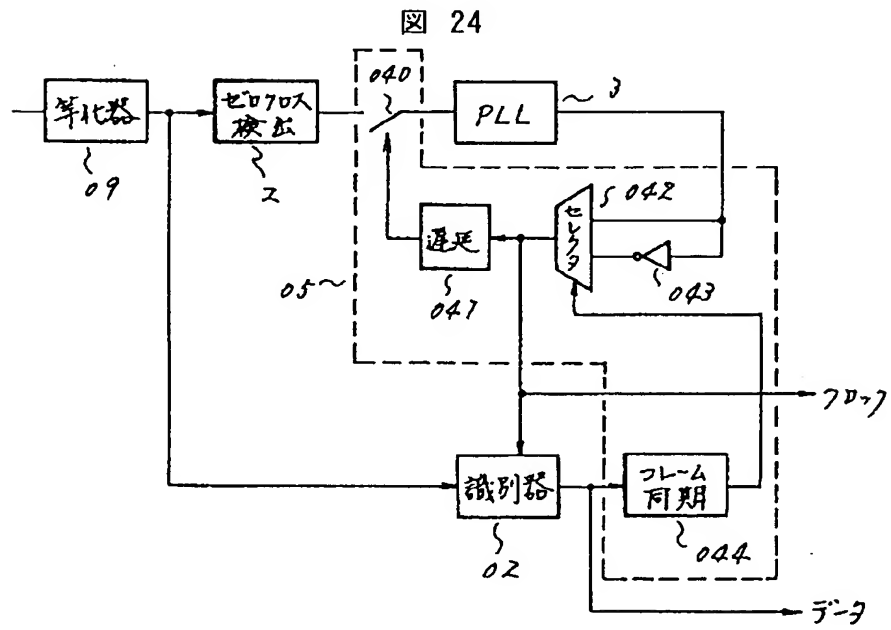
図 21



【図23】

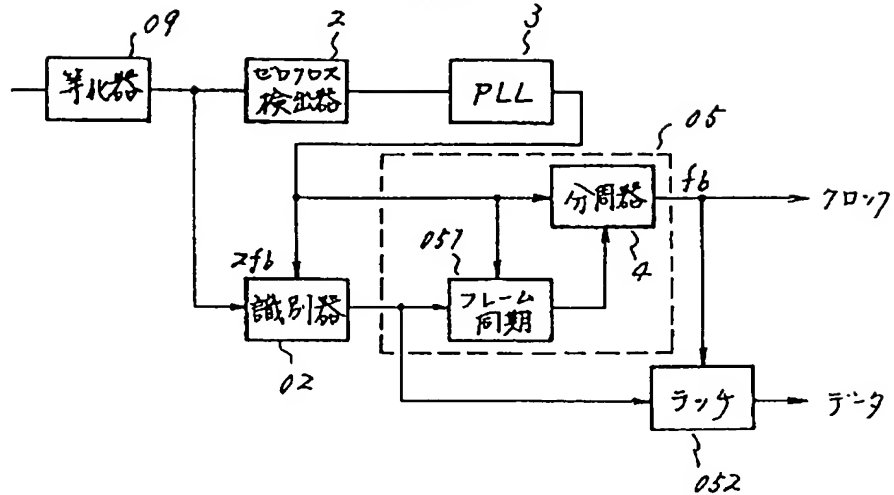


【図24】



【図 25】

図 25



フロントページの続き

(72)発明者 西田 繁男  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地株  
式会社日立製作所中央研究所内  
(72)発明者 間瀬 一郎  
神奈川県横浜市戸塚区戸塚町 216 番地株式  
会社日立製作所戸塚工場内

(72)発明者 森田 隆士  
神奈川県横浜市戸塚区戸塚町 216 番地株式  
会社日立製作所戸塚工場内  
(72)発明者 山下 聡一  
神奈川県横浜市戸塚区戸塚町 180 番地日立  
通信システム株式会社内